



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0003955
Application Number

출원년월일 : 2003년 01월 21일
Date of Application JAN 21, 2003

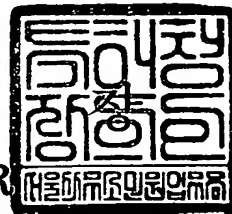
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.01.21
【발명의 명칭】	멀티 루프 오실레이터
【발명의 영문명칭】	Multiloop oscillator
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	김경환
【성명의 영문표기】	KIM, Kyung Whan
【주민등록번호】	711130-1042427
【우편번호】	138-200
【주소】	서울특별시 송파구 문정동 헤밀리아파트 217동 701호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	6 면 6,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	19 항 717,000 원
【합계】	752,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 멀티 루프 오실레이터에 관한 것으로, 특히, 인에이블 신호에 응답하여 서로 다른 주파수를 갖는 발진신호를 생성하기 위한 제 1 및 제 2루프를 형성하는 루프 회로부와, 전원전압레벨을 검출하며, 상기 검출된 전원전압레벨에 대응하는 복수의 선택신호를 발생하는 전원감지 회로부와, 상기 복수의 선택신호에 응답하여 상기 제 1 및 제 2루프중 하나를 선택하며, 입력신호를 반전하여 출력하는 루프 선택부와, 상기 제 1 및 제 2루프 중 상기 루프 선택부에 의해 선택된 루프의 발진신호를 완충하여 출력하는 출력부를 구비하는 것을 특징으로 하며, 전원전압의 변동으로 인하여 링오실레이터의 발진주파수가 낮아지거나 증가하는 현상을 방지함과 아울러 발진주파수의 미세 컨트롤을 가능하게 하는 효과가 있다.

【대표도】

도 2

【색인어】

오실레이터, 멀티 루프, 전원감지, 발진주파수

【명세서】

【발명의 명칭】

멀티 루프 오실레이터{Multiloop oscillator}

【도면의 간단한 설명】

도 1은 일반적인 링오실레이터를 나타낸 회로도.

도 2는 본 발명의 제 1실시예에 따른 듀얼 루프 오실레이터를 나타낸 회로도.

도 3은 본 발명의 제 1실시예에 따른 전원감지 회로부를 나타낸 상세 회로도.

도 4는 본 발명의 제 1실시예에 따른 기준전압을 나타낸 그래프.

도 5는 본 발명의 제 2실시예에 따른 멀티 루프 오실레이터를 나타낸 회로도.

도 6은 본 발명의 제 2실시예에 따른 전원감지 회로부를 나타낸 회로도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 멀티 루프 오실레이터에 관한 것으로, 특히, 전원전압의 변동에 따라 링오실레이터의 발진주파수가 감소하거나 증가하는 현상을 방지하는 멀티 루프 오실레이터에 관한 것이다.

<8> 도 1은 일반적인 링오실레이터를 나타낸 회로도로서, 도시된 바와 같이, 인에이블신호(En)를 입력받아 반전하는 인버터(I0)와, 종속 결합된 짝수개의 인버터(I1-I6)와, 각 인버터의 RC지연을 조절하기 위해 인버터(I1-I6) 각각의 입력단과 접지사이에 결합된 복수의 커패시터

(C1~C7)와, 인버터(I0)의 출력신호와 인버터(I6)의 출력신호를 입력으로 하는 노어 게이트(NOR)와, 노어 게이트(NOR)의 출력을 완충하여 출력하는 인버터(I7)로 구성된다.

- <9> 상기와 같이 구성된 종래의 링오실레이터는 짝수개의 인버터(I1~I6)과 인버터의 역할을 수행하는 노어 게이트(NOR)로 홀수단의 단일 루프 인버터 체인을 형성한다.
- <10> 이와 같이 함은 입력신호가 홀수개의 인버터단을 거쳐야만 하나의 루프를 거친 신호가 원래 입력된 신호와 반대되는 극성의 신호로 되돌아 오기 때문이다. 다시 말해서, "하이"의 입력신호가 선단의 인버터(I1)에 입력되면, 홀수개의 인버터단을 거친 후 종단의 인버터(NOR)에서는 입력신호와 반대의 극성을 갖는 "로우"레벨의 신호가 출력된다.
- <11> 여기서, 입력신호가 홀수개의 인버터(I1~I6,NOR)를 거쳐 출력되는데 걸리는 시간을 T 라고 하면, 이는 반주기에 해당하므로 발진주파수는 $1/2T$ 로 표현된다. 이러한 발진주파수는 링오실레이터의 전하펌핑 능력과 밀접한 관계를 갖게 된다.
- <12> 일반적으로, 링오실레이터는 반도체 메모리 장치에 일정한 주파수의 클럭신호를 제공하기 위해 사용되며, 또한 워드라인의 구동전압으로서 공급되는 고전압(VPP)이나 접지 전압보다 낮은 백바이어스용 전압(VBB)을 만드는데 사용된다. 이러한 고전압(VPP)이나 백바이어스용 전압(VBB)은 링오실레이터의 발진에 의해 반복적으로 수행되는 전하펌핑 동작을 통해 만들어진다.
- <13> 예컨대, 전원전압이 낮아질 경우 한번의 펌핑 동작에 의해 발생하는 전하의 절대량이 감소하므로 전하펌핑 능력이 떨어지게 되고, 또한 링오실레이터를 구성하는 각 인버터의 지연시간이 증가함으로 인해 링오실레이터의 반주기(T) 값은 증가하게 되고, 이에 따라 발진주파수는 감소하게 된다. 이러한 발진주파수 감소현상은 전하펌핑 능력의 저하를 초래한다.

<14> 상기 전원전압은 외부 노이즈나 동작 형태에 따라 저전압 또는 고전압 조건이 될 수도 있는 데, 만약, 링오실레이터의 발진주파수를 저전압 조건에 맞추어 설계할 경우 대부분의 정상 전압 상태나 고전압 상태에서 과도한 전하펌핑 현상을 보일 수 있으며, 특히 고전압 상태에서는 발진주기가 너무 짧아져서 펌핑 동작 자체가 제대로 이루어지지 않을 수 있는 문제점이 따른다.

【발명이 이루고자 하는 기술적 과제】

<15> 따라서, 본 발명의 목적은 상기 문제점을 해결하기 위해 서로 다른 주파수를 갖는 발진 신호를 출력하기 위한 적어도 하나 이상의 루프를 갖는 루프 회로부를 구비하며, 전원전압의 변동에 대응하여 상기 적어도 하나 이상의 루프 회로중 적절한 루프 회로를 선택하도록 함으로써, 전원전압의 변동으로 인한 발진주파수의 증가 및 감소 현상을 방지하는 멀티 루프 오실레이터를 제공하는 데 있다.

【발명의 구성 및 작용】

<16> 상기 목적을 달성하기 위한 본 발명의 제 1실시예에 따른 오실레이터는 인에이블 신호에 응답하여 서로 다른 주파수를 갖는 발진신호를 생성하기 위한 제 1 및 제 2루프를 형성하는 루프 회로부; 전원전압레벨을 검출하며, 상기 검출된 전원전압레벨에 대응하는 복수의 선택신호를 발생하는 전원감지 회로부; 상기 복수의 선택신호에 응답하여 상기 제 1 및 제 2루프중 하나를 선택하며, 입력신호를 반전하여 출력하는 루프 선택부; 및 상기 제 1 및 제 2루프 중 상기 루프 선택부에 의해 선택된 루프의 발진신호를 완충하여 출력하는 출력부를 구비하는 것을 특징으로 한다.

- <17> 상기 목적을 달성하기 위한 본 발명의 제 2실시예에 따른 오실레이터는 인에이블 신호에 응답하여 서로 다른 주파수를 갖는 발진신호를 생성하기 위한 복수의 루프를 형성하는 루프 회로부; 전원전압레벨을 검출하며, 상기 검출된 전원전압레벨에 대응하는 복수의 선택신호를 발생하는 전원감지 회로부; 상기 복수의 선택신호에 응답하여 상기 복수의 루프중 하나를 선택하고 입력신호를 반전하여 출력하는 루프 선택부; 및 상기 복수의 루프 중 상기 루프 선택부에 의해 선택된 루프의 발진신호를 완충하여 출력하는 출력부를 구비하는 것을 특징으로 한다.
- <18> (실시예)
- <19> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.
- <20> 도 2는 본 발명의 제 1실시예에 따른 듀얼 루프 오실레이터를 나타낸 회로도이다.
- <21> 본 발명의 제 1실시예에 따른 듀얼 루프 오실레이터는 두 개의 루프(LOOP1, LOOP2)를 갖는 변형된 링오실레이터로서, 전원전압(VDD)의 변동에 따라 두 개의 루프 즉, 점선으로 표시된 제 1루프(LOOP1)와 실선으로 표시된 제 2루프(LOOP2) 중 하나의 루프를 선택하여 해당 주파수의 발진신호를 출력하도록 루프 회로부(10)와, 전원감지 회로부(20)와, 루프 선택부(30)와, 출력부(40)로 구성된다.
- <22> 루프 회로부(10)는 제 1인버터 체인부(12)와, 제 2인버터 체인부(14)와, 인에이블신호(En)를 반전하여 출력하는 제 1인버터(I10)와, 제 1인버터 체인부(12)의 출력신호와 제 1인버터(I10)의 출력신호를 논리조합하여 출력하는 노어게이트(NOR1)로 구성되며, 제 1루프(LOOP1)와 제 2루프(LOOP2)를 형성함에 의해 서로 다른 주파수를 갖는 발진신호를 생성한다.

- <23> 본 발명의 제 1실시예에 따라 제 1루프(LOOP1)는 저주파 발진신호를 생성하기 위한 것이고, 제 2루프(LOOP2)는 제 1루프(LOOP1)의 발진신호에 비해 상대적으로 높은 고주파 발진신호를 생성하기 위한 것이다.
- <24> 제 1인버터 체인부(12)는 인에이블신호(EN)을 반전하여 출력하는 인버터(I10)와, 종속 결합된 홀수개의 인버터(I11, I12, I13)와, 인버터(I10)의 출력신호와 인버터(I13)의 출력신호를 논리조합하는 노어게이트(NOR1)와, 홀수개의 인버터(I11, I12, I13) 각각의 입력단과 접지사이에 결합된 복수의 커패시터(C10, C11, C12)로 구성된다. 여기서, 복수의 커패시터(C10, C11, C12)는 인버터(I11, I12, I13) 각각의 출력신호를 RC지연한다.
- <25> 제 2인버터 체인부(14)는 노어게이트(NOR1)의 출력을 입력으로 하며, 종속 결합된 짝수개의 인버터(I14, I15, I16, I17)와 짝수개의 인버터(I14, I15, I16, I17) 각각의 입력단과 접지사이에 결합된 복수의 커패시터(C13, C14, C15, C16)로 구성된다. 여기서 복수의 커패시터(C13, C14, C15, C16)는 인버터(I14, I15, I16, I17) 각각의 출력신호를 RC지연한다.
- <26> 전원감지 회로부(20)는 전원전압(VDD)의 변동을 감지하기 위해서 전원전압(VDD)레벨을 검출하며, 상기 검출된 전원전압(VDD)레벨에 대응하는 선택신호(VCTRL)를 발생한다.
- <27> 루프 선택부(30)는 노어게이트(NOR1)의 출력단과 제 2인버터 체인부(14)의 종단에 결합되며, 전원감지 회로부(20)로부터의 선택신호(VCTRL)에 응답하여 제 1루프(LOOP1) 및 제 2루프(LOOP2) 중 하나를 선택하는 2x멀티플렉서로 구성된다.
- <28> 상기 2x멀티플렉서는 선택신호(VCTRL)에 응답하여 제 1인버터 체인부(12)의 발진신호와 제 2인버터 체인부(14)의 발진신호 중 하나를 선택하여 반전한 후 제 1인버터 체인부(12)로

출력하도록 함으로써, 제 1 및 제 2루프(L00P1, LOOP2)로 하여금 홀수단의 링오실레이터를 구성하도록 한다.

<29> 또한, 루프 선택부(30)는 노어게이트(NOR1)의 출력단과 제 2인버터 체인부(14)의 종단에 결합되며, 전원감지 회로부(20)로부터 선택신호(VCTRL)를 입력받는 디코더로 구성될 수도 있다.

<30> 출력부(40)는 노어게이트(NOR1)의 출력신호를 반전하여 출력하는 인버터(I19)로 구성된다.

<31> 도 3은 본 발명의 제 1실시예에 따른 전원감지 회로부(20)를 나타낸 상세 회로도로서, 도시된 바와 같이, 전원전압(VDD)을 분배하여 분배전압(V_D)을 발생하는 전압분배부(22)와, 기준전압(V_{REF})을 입력받고 분배전압(V_D)과 기준전압(V_{REF})을 비교하여 비교신호를 발생하는 비교 회로부(24)와, 비교 회로부(24)의 비교신호를 반전하여 선택신호(VCTRL)로서 출력하는 인버터(I18)로 구성된다.

<32> 전압분배부(22)는 전원전압(VDD)과 접지사이에 직렬 결합된 저항(22a, 22b)으로 구성되며, 저항(22a, 22b)의 접속노드(N1)를 통해 발생된 분배전압(V_D)을 비교 회로부(24)의 일 입력단에 제공한다. 접속노드(N1)의 전압은 저항(22a, 22b) 값의 조절에 의해 변경 가능하다.

<33> 비교 회로부(24)는 차동증폭기로서 커런트 미러(current mirror)를 형성하는 제 1 및 제 2피모스 트랜지스터(MP1, MP2)와, 전압분배부(22)로부터 분배전압(V_D)을 입력받는 제 1엔모스 트랜지스터(MN1)와, 기준전압 발생기(미도시)로부터 기준전압(V_{REF})을 입력받는 제 2엔모스 트랜지스터(MN2)와, 바이어스 전압(V_{BIAS})에 의해 구동되어 상기 커런트 미러에 흐르는 커런트를

접지로 싱크(sink)하기 위한 커런트 싱크를 형성하는 제 3엔모스 트랜지스터(MN3)로 구성된다.

<34> 비교 회로부(24)에 있어서, 제 1 및 제 2피모스 트랜지스터(MP1,MP2)는 각각이 일단을 통해 전원전압(VDD)을 공급받는다. 제 1피모스 트랜지스터(MP1)의 타단은 제 1엔모스 트랜지스터(MN1)의 일단에 결합되며, 제 2피모스 트랜지스터(MP2)의 타단은 제 2엔모스 트랜지스터(MN2)의 타단에 결합된다. 그리고, 제 1 및 제 2엔모스 트랜지스터(MN1,MN2) 각각의 타단이 결합되어 공통노드(N2)를 형성하고, 공통노드(N2)에 상기 제 3엔모스 트랜지스터(MN3)의 일단이 결합된다. 그리고, 제 2피모스 트랜지스터(MP2)와 제 2엔모스 트랜지스터(MN2)의 접속점은 출력노드(N3)를 형성하며, 이를 통해 비교신호를 출력한다.

<35> 도 4는 본 발명의 제 1실시예에 따른 기준전압을 나타낸 그래프이다. 동도면면에서 참조부호 VDD는 전원전압을, V_{REF} 는 기준전압을 각각 나타낸다.

<36> 상기과 같이 구성된 본 발명의 제 1실시예의 동작을 설명하면 다음과 같다.

<37> 먼저, 전원전압(VDD)이 안정된 상태의 경우, 전압분배부(22)의 접속노드(n1)의 전위는 기준전압(V_{REF})보다 높은 상태를 유지하므로, 비교 회로부(24)는 "로우"레벨의 비교신호를 출력한다. 이에 따라 전원감지 회로부(20)의 선택신호(VCTRL)는 "하이"레벨의 상태가 된다. 이 때, 인에이블신호(En)는 활성화 상태에 있다.

<38> 그러면, 루프 선택부(30)의 멀티플렉서가 저주파 루프인 제 1루프(LOOP1)를 선택함에 따라 제 1인버터 체인부(12) 및 제 2인버터 체인부(14)로 이루어진 링오실레이터의 발진동작이 수행되고, 그 결과로 저주파 발진신호가 발생된다. 이 저주파 발진신호는 출력부(40)의 인버터(I19)에 의해 완충된 후 출력된다.

- <39> 이와 같이, 본 발명의 제 1실시예에 따른 듀얼 오실레이터는 초기 동작시 저주파 루프인 제 1루프(LOOP1)를 선택하여 저주파 발진신호를 생성한다.
- <40> 그 다음, 외부적인 요인으로 인해 전원전압(VDD)에 변동이 생길 경우 예컨대, 전원전압(VDD)이 낮아지는 경우, 전압분배부(22)의 접속노드(N1)의 전위도 동시에 낮아져 기준전압(V_{REF})보다 낮은 상태를 유지하게 되므로, 비교 회로부(24)는 "하이"레벨의 비교신호를 출력한다. 이에 따라 전원감지 회로부(20)의 선택신호(VCTRL)는 "로우"레벨의 상태가 된다. 이때, 인에이블신호(En)는 활성화 상태에 있다.
- <41> 그러면, 루프 선택부(30)의 멀티플렉서가 고주파 루프인 제 2루프(LOOP2)를 선택함에 따라 제 1인버터 체인부(12)만으로 이루어진 링오실레이터의 발진동작이 수행되고, 그 결과로 고주파 발진신호가 발생된다. 이 고주파 발진신호는 출력부(40)의 인버터(I19)에 의해 완충된 후 출력된다.
- <42> 따라서, 본 발명의 제 1실시예에서는 전원전압이 변동하는 하는 경우 전원전압의 변동에 대응하여 루프 선택부(30)가 고주파 루프 또는 저주파 루프를 선택하도록 함으로써, 발진주파수가 낮아지거나 증가하는 현상이 방지될 수 있다.
- <43> 도 5는 본 발명의 제 2실시예에 따른 멀티 루프 오실레이터를 나타낸 회로도로서, 전원전압(VDD)의 변동에 따라 n개의 루프(LOOP1~LOOPn) 중 하나의 루프를 선택하여 해당 주파수의 발진신호를 출력하도록 루프 회로부(100)와, 전원감지 회로부(200)와, 루프 선택부(300)와, 출력부(400)로 구성된다.
- <44> 루프 회로부(100)는 서로 다른 주파수를 갖는 발진신호를 생성하기 위해 n개의 루프(LOOP1~LOOPn)를 형성하는 n개의 인버터 체인부(IC1~ICn)로 구성된다.

- <45> 본 발명의 제 2실시예에 따라 n번째 루프(L00Pn)는 n-1번째 루프(L00Pn-1)에 비해 상대적으로 높은 주파수의 발진신호를 생성하기 위한 것이다.
- <46> n번째 인버터 체인부(ICn)는 종속 결합된 홀수개의 인버터(I101,I102,I103)와, 홀수개의 인버터(I101,I102,I103)의 출력단 각각과 접지사이에 결합된 복수의 커패시터(C100,C101,C102)와, 인에이블신호(En)를 반전하여 출력하는 제 1인버터(I100)와, n번째 인버터 체인부(ICn)의 출력신호와 제 1인버터(I100)의 출력신호를 논리조합하여 출력하는 노어 게이트(NOR2)로 구성된다. 여기서, 노어 게이트(NOR2)는 인버터의 역할을 수행한다.
- <47> n-1번째 인버터 체인부(ICn-1)는 노어게이트(NOR1)의 출력을 입력으로 하며, 종속 결합된 짝수개의 인버터(I104,I105,I106,I107)와, 짝수개의 인버터(I104,I105,I106,I107)의 입력단 각각과 접지사이에 결합된 복수의 커패시터(C103,C104,C105,C106)로 구성된다.
- <48> 첫 번째 인버터 체인부(IC1)는 노어게이트(NOR1)의 출력을 입력으로 하며, 종속 결합된 짝수개의 인버터(I108,I109,I110,I111,...)와, 짝수개의 인버터(I108,I109,I110,I111,...)의 입력단 각각과 접지사이에 결합된 복수의 커패시터(C107,C108,C109,...)로 구성된다
- <49> n개의 인버터 체인부(IC1~ICn)에 있어, 복수의 커패시터(C100~C109)는 인버터들(I101~I111) 각각의 출력신호를 RC지연한다.
- <50> 전원감지 회로부(200)는 전원전압(VDD)의 변동을 감지하기 위해서 전원전압(VDD)레벨을 검출하며, 상기 검출된 전원전압(VDD)레벨에 대응하는 복수의 선택신호(VCTRL1~VCTRLn)를 발생한다.
- <51> 루프 선택부(300)는 노어게이트(NOR2)의 출력단과 n-1번째 인버터 체인부(ICn-1) 내지 첫 번째 인버터 체인부(IC1)의 종단에 결합되며, 전원감지 회로부(200)로부터의 선택신호

(VCTRL1~VCTRLn)에 응답하여 첫 번째 루프(LOOP1) 내지 n번째 루프(LOOPn) 중 하나를 선택하는 $n \times$ 멀티플렉서로 구성된다.

<52> 상기 $n \times$ 멀티플렉서는 복수의 선택신호(VCTRL1~VCTRLn)에 응답하여 입력신호 즉, 첫 번째 인버터 체인부(IC1)의 발진신호 내지 n번째 인버터 체인부(ICn)의 발진신호 중 하나를 선택하여 반전한 후 n번째 인버터 체인부(ICn)로 출력한다.

<53> 또한, 루프 선택부(300)는 노어게이트(NOR1)의 출력단과 n-1번째 인버터 체인부(ICn-1) 내지 첫 번째 인버터 체인부(IC1)의 종단에 결합되며, 전원감지 회로부(20)로부터 복수의 선택신호(VCTRL1~VCTRLn)를 입력받는 디코더로 구성될 수도 있다.

<54> 출력부(400)는 노어게이트(NOR1)의 출력신호를 반전하여 출력하는 인버터(I400)로 구성된다.

<55> 본 발명의 제 1실시예에 따라 노어게이트(NOR1) 및 루프 선택부(300)는 인버터의 역할을 수행하므로, n번째 루프(LOOPn)는 홀수단의 링오실레이터를 구성한다.

<56> 도 6은 본 발명의 제 2실시예에 따른 전원감지 회로부(200)를 나타낸 상세 회로도로서, 도시된 바와 같이, 전원전압(VDD)의 변동을 감지하기 위해 전원전압(VDD)을 분배하여 복수의 분배전압을 발생하는 전압분배부(220)와, 각각이 기준전압(V_{REF})을 입력받고 복수의 분배전압($V_1 \sim V_n$)과 기준전압(V_{REF})을 비교하여 각각이 비교신호를 발생하는 복수의 비교 회로부(COM1~COMn)와, 상기 복수의 비교 회로부(COM1~COMn)의 비교신호를 반전하여 복수의 선택신호(VCTRL1~VCTRLn)로서 출력하는 복수의 인버터(InV1~InVn)로 구성된다.

<57> 전압분배부(220)는 전원전압(VDD)과 접지사이에 직렬 결합된 복수의 저항($R_1 \sim R_{n+1}$)으로 구성되며, 복수의 저항($R_1 \sim R_{n+1}$)의 접속노드($N_{d1} \sim N_{dn}$)를 통해 발생된 복수의 분배전압($V_1 \sim V_D$)

을 대응하는 복수의 비교 회로부(COM1~COMn)의 일입력단에 제공한다. 접속노드(Nd1~Ndn)의 분배전압은 복수의 저항(R1~Rn+1) 값의 조절에 의해 변경 가능하다.

<58> 복수의 비교 회로부(COM1~COMn) 각각의 상세 회로는 본 발명의 제 1실시예에 적용된 비교회로부의 구성과 동일하므로, 이하 그 상세한 구성에 대한 설명은 생략하기로 한다.

<59> 본 발명의 제 2실시예에 따라 복수의 선택신호(VCTRL1~VCTRLn)는 전원전압의 변동분에 따라 아래의 표 1과 같이 결정된다.

<60>

VCTRL1	VCTRL2	VCTRL3	...	VCTRLn	선택 루프
L	L	L	...	L	LOOP1
H	L	L	...	L	LOOP2
H	H	L	...	L	LOOP3
...
H	H	H	...	H	LOOPn

<61> 상기와 같이 구성된 본 발명의 제 2실시예의 동작을 설명하면 다음과 같다.

<62> 먼저, 전원전압(VDD)이 안정된 상태의 경우, 전압분배부(220)의 접속노드(Nd1~Ndn)의 전위는 모두 기준전압(V_{REF})보다 높은 상태를 유지하므로, 복수의 비교 회로부(COM1~COMn)는 모두 "하이"레벨의 비교신호를 출력한다. 이에 따라 전원감지 회로부(20)의 복수의 선택신호(VCTRL1~VCTRLn)는, 상기 표 1에 나타낸 바와 같이, 모두 "로우"레벨의 상태가 된다. 이 때, 인에이블신호(En)는 활성화 상태에 있다.

<63> 그러면, 루프 선택부(300)의 멀티플렉서가 제 1루프(LOOP1)를 선택함에 따라 제 1인버터 체인부(IC1) 및 제 n인버터 체인부(ICn)로 이루어진 링오실레이터의 발진동작이 수행되고, 그 결과로 가장 낮은 주파수의 저주파 발진신호가 발생된다. 이 저주파 발진신호는 출력부(400)의 제 3인버터(I400)에 의해 완충된 후 출력된다.

- <64> 이와 같이, 본 발명의 제 2실시예에 따른 멀티 오실레이터는 초기 동작시 제 1루프 (LOOP1)를 선택하여 가장 낮은 주파수의 저주파 발진신호를 생성한다.
- <65> 그 다음, 외부적인 요인으로 인해 전원전압(VDD)에 변동이 생길 경우 즉, 전원전압(VDD)이 낮아지는 경우, 루프 선택부(30)는 제 2루프(LOOP2) 내지 제 n루프(LOOPn) 중 하나를 선택한다.
- <66> 예컨대, 전원전압(VDD)가 가장 낮은 레벨로 떨어지는 경우 전압분배부(220)의 접속노드 (Nd1~Ndn)의 전위는 모두 기준전압(V_{REF})보다 낮은 상태를 유지하므로, 복수의 비교 회로부 (COM1~COMn)는 모두 "로우"레벨의 비교신호를 출력한다. 이에 따라 전원감지 회로부(20)의 복수의 선택신호(VCTRL1~VCTRLn)는, 상기 표 1에 나타난 바와 같이, 모두 "하이"레벨의 상태가 된다. 이 때, 인에이블신호(En)는 활성화 상태에 있다.
- <67> 그러면, 루프 선택부(300)의 멀티플렉서가 제 n루프(LOOPn)를 선택함에 따라 제 n인버터 체인부(ICn)만으로 이루어진 링오실레이터의 발진동작이 수행되고, 그 결과로 가장 높은 주파수의 고주파 발진신호가 발생된다. 출력부(400)의 인버터(I400)에 의해 완충된 후 출력된다.
- <68> 따라서, 본 발명의 제 2실시예에서는 전원전압의 레벨이 미세하게 변동하더라도 루프 선택부가 전원전압의 미세 변동에 대응하는 적절한 루프를 선택하도록 함으로써, 링오실레이터의 발진주파수가 낮아지거나 증가하는 현상이 방지됨과 아울러 발진주파수의 미세 컨트롤이 가능해진다.
- <69> 상기에서 본 발명의 특정 실시예가 설명 및 도시되었지만, 본 발명이 당업자에 의해 다양하게 변형되어 실시될 가능성이 있는 것은 자명한 일이다. 이와 같은 변형된 실시예들은 본

발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안되며, 본 발명에 첨부된 특허청구범위 안에 속한다 해야 할 것이다.

【발명의 효과】

<70> 이상에서와 같이, 본 발명은 서로 다른 주파수를 갖는 발진신호를 출력하기 위한 적어도 하나 이상의 루프를 갖는 루프 회로부를 구비하며, 전원전압의 변동에 대응하여 상기 적어도 하나 이상의 루프중 적절한 루프 회로를 선택하도록 함으로써, 전원전압의 변동으로 인하여 링 오실레이터의 발진주파수가 낮아지거나 증가하는 현상을 방지함과 아울러 발진주파수의 미세 컨트롤을 가능하게 하는 효과가 있으며, 또한 전원전압의 변동에 대응하여 펌핑능력의 저하나 과도한 펌핑현상이나 오동작을 방지할 수 있는 다른 효과가 있다.

【특허청구범위】**【청구항 1】**

인에이블 신호에 응답하여 서로 다른 주파수를 갖는 발진신호를 생성하기 위한 제 1 및 제 2루프를 형성하는 루프 회로부;

전원전압레벨을 검출하며, 상기 검출된 전원전압레벨에 대응하는 복수의 선택신호를 발생하는 전원감지 회로부;

상기 복수의 선택신호에 응답하여 상기 제 1 및 제 2루프중 하나를 선택하며, 입력신호를 반전하여 출력하는 루프 선택부; 및

상기 제 1 및 제 2루프 중 상기 루프 선택부에 의해 선택된 루프의 발진신호를 완충하여 출력하는 출력부를 구비하는 것을 특징으로 하는 듀얼 루프 오실레이터.

【청구항 2】

제 1 항에 있어서,

상기 제 1루프는 소정의 저주파 발진신호를 생성하며, 상기 제 2루프는 상기 고주파 발진신호에 비해 낮은 소정의 고주파 발진신호를 생성하는 것을 특징으로 하는 듀얼 루프 오실레이터.

【청구항 3】

제 1 항에 있어서,

상기 출력부는 상기 루프 회로부의 출력신호를 반전하여 출력하는 적어도 하나 이상의 인버터로 구성되는 것을 특징으로 하는 듀얼 루프 오실레이터.

【청구항 4】

제 1 항에 있어서,

상기 루프 회로부는 종속 결합된 홀수개의 인버터와, RC지연을 위해 상기 홀수개의 인버터의 출력단 각각과 접지사이에 결합된 복수의 제 1커패시터와, 상기 인에이블신호를 반전하여 출력하는 인버터와, 상기 홀수개의 인버터의 출력신호와 상기 인버터의 출력신호를 논리조합하여 출력하는 노어게이트를 포함하는 제 1인버터 체인부와, 상기 노어게이트의 출력을 입력으로 하며 종속 결합된 짝수개의 인버터와 RC지연을 위해 상기 짝수개의 인버터의 입력단 각각과 접지사이에 결합된 복수의 제 2커패시터를 포함하는 제 2인버터 체인부로 구성되는 것을 특징으로 하는 듀얼 루프 오실레이터.

【청구항 5】

제 4 항에 있어서,

상기 루프 선택부는 상기 선택신호에 응답하여 상기 제 1루프 및 제 2루프 중 하나를 선택하도록 2× 멀티플렉서로 구성되는 것을 특징으로 하는 듀얼 루프 오실레이터.

【청구항 6】

제 4 항에 있어서,

상기 루프 선택부는 상기 선택신호에 응답하여 상기 제 1루프 및 제 2루프 중 하나를 선택하도록 디코더로 구성되는 것을 특징으로 하는 듀얼 루프 오실레이터.

【청구항 7】

제 1 항에 있어서,

상기 전원감지 회로부는 전원전압을 분배하여 분배전압을 발생하는 전압분배부와, 기준 전압을 입력받고 상기 분배전압과 상기 기준전압을 비교하여 비교신호를 발생하는 비교 회로부와, 상기 비교 회로부의 비교신호를 반전하여 상기 선택신호로서 출력하는 인버터로 구성되는 것을 특징으로 하는 듀얼 루프 오실레이터.

【청구항 8】

제 7 항에 있어서,

상기 비교 회로부는 각각이 일단을 통해 전원전압을 공급받고 커런트 미러를 형성하는 제 1 및 제 2피모스 트랜지스터와, 상기 제 1피모스 트랜지스터의 타단에 일단이 결합되며 상기 분배전압에 의해 구동되는 제 1엔모스 트랜지스터와, 상기 제 2피모스 트랜지스터의 타단에 일단이 결합되어 출력노드를 형성하고, 타단이 상기 제 1엔모스 트랜지스터의 타단과 결합되어 공통노드를 형성하며, 기준전압에 의해 구동되는 제 2엔모스 트랜지스터와, 바이어스 전압에 의해 구동되며 상기 공통노드와 접지사이에 커런트 싱크를 형성하는 제 3엔모스 트랜지스터로 구성되는 것을 특징으로 하는 듀얼 루프 오실레이터.

【청구항 9】

인에이블 신호에 응답하여 서로 다른 주파수를 갖는 발진신호를 생성하기 위한 복수의 루프를 형성하는 루프 회로부;

전원전압레벨을 검출하며, 상기 검출된 전원전압레벨에 대응하는 복수의 선택신호를 발생하는 전원감지 회로부;

상기 복수의 선택신호에 응답하여 상기 복수의 루프중 하나를 선택하고 입력신호를 반전하여 출력하는 루프 선택부; 및

상기 복수의 루프 중 상기 루프 선택부에 의해 선택된 루프의 발진신호를 완충하여 출력하는 출력부를 구비하는 것을 특징으로 하는 멀티 루프 오실레이터.

【청구항 10】

제 9 항에 있어서,

상기 루프 회로부는 종속 결합된 복수의 인버터와, RC지연을 위해 상기 복수의 인버터의 입력단 각각과 접지사이에 대응하여 결합된 복수의 커패시터를 포함하는 복수의 인버터 체인부로 구성되어 상기 복수의 루프를 형성하는 것을 특징으로 하는 멀티 루프 오실레이터.

【청구항 11】

제 10 항에 있어서,

상기 복수의 인버터 체인부 중 n 번째 인버터 체인부는 상기 인에이블 신호를 반전하여 출력하는 인버터와, 상기 인버터의 출력신호를 입력으로 하는 노어게이트를 포함하는 것을 특징으로 하는 멀티 루프 오실레이터.

【청구항 12】

제 10 항에 있어서,

상기 복수의 인버터 체인부 각각은 짝수개의 인버터로 구성되는 것을 특징으로 하는 멀티 루프 오실레이터.

【청구항 13】

제 10 항에 있어서,

상기 복수의 인버터 체인부 중 n 번째 인버터 체인부는 $n-1$ 번째 인버터 체인부에 비해 상대적으로 높은 주파수의 발진신호를 출력하는 것을 특징으로 하는 멀티 루프 오실레이터.

【청구항 14】

제 9 항에 있어서,

상기 전원감지 회로부는 전원전압을 분배하여 복수의 분배전압을 발생하는 전압분배부와, 각각이 기준전압을 입력받고 상기 복수의 분배전압과 상기 기준전압을 비교하여 각각이 비교신호를 발생하는 복수의 비교 회로부와, 상기 복수의 비교 회로부의 비교신호를 반전하여 상기 복수의 선택신호로서 출력하는 복수의 인버터로 구성되는 것을 특징으로 하는 멀티 루프 오실레이터.

【청구항 15】

제 14 항에 있어서,

상기 복수의 비교 회로부는 각각이 일단을 통해 전원전압을 공급받고 커런트 미러를 형성하는 제 1 및 제 2피모스 트랜지스터와, 상기 제 1피모스 트랜지스터의 타단에 일단이 결합되며 상기 분배전압에 의해 구동되는 제 1엔모스 트랜지스터와, 상기 제 2피모스 트랜지스터의 타단에 일단이 결합되어 출력노드를 형성하고, 타단이 상기 제 1엔모스 트랜지스터의 타단과 결합되어 공통노드를 형성하며, 기준전압에 의해 구동되는 제 2엔모스 트랜지스터와, 바이어스 전압에 의해 구동되며 상기 공통노드와 접지사이에 커런트 싱크를 형성하는 제 3엔모스 트랜지스터로 각각이 구성되는 것을 특징으로 하는 멀티 루프 오실레이터.

【청구항 16】

제 9 항에 있어서,

상기 루프 선택부는 상기 전원전압의 레벨이 낮아질수록 상기 복수의 선택신호에 응답하여 상기 복수의 루프중 주파수가 높은 발진신호를 출력하는 상위 루프를 선택하는 것을 특징으로 하는 멀티 루프 오실레이터.

【청구항 17】

제 9 항에 있어서,

상기 루프 선택부는 상기 복수의 선택신호에 응답하여 상기 복수의 루프 중 하나를 선택하도록 $n \times 1$ 멀티플렉서(여기서, n 은 임의의 정수)로 구성되는 것을 특징으로 하는 멀티 루프 오실레이터.

【청구항 18】

제 9 항에 있어서,

상기 루프 선택부는 상기 복수의 선택신호에 응답하여 상기 복수의 루프 중 하나를 선택하도록 디코더로 구성되는 것을 특징으로 하는 멀티 루프 오실레이터.

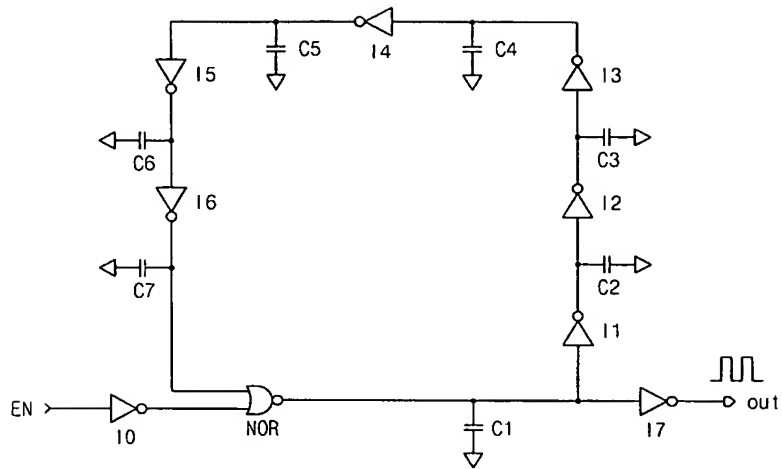
【청구항 19】

제 9 항에 있어서,

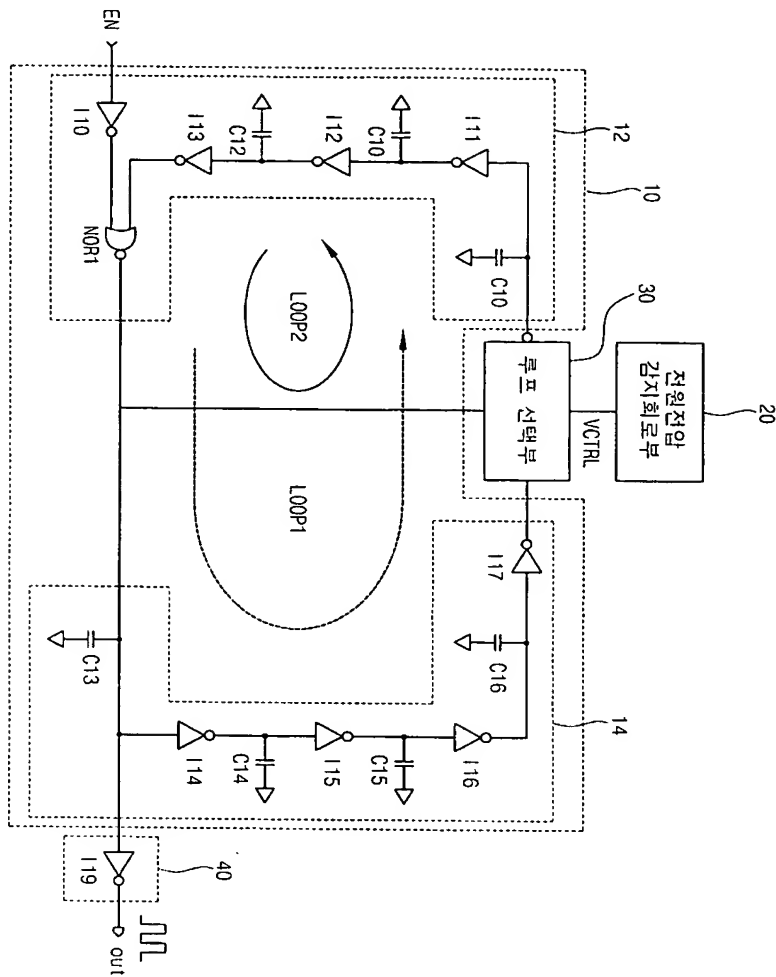
상기 출력부는 상기 노어게이트의 출력신호를 반전하여 출력하는 적어도 하나 이상의 인버터로 구성되는 것을 특징으로 하는 멀티 루프 오실레이터.

【도면】

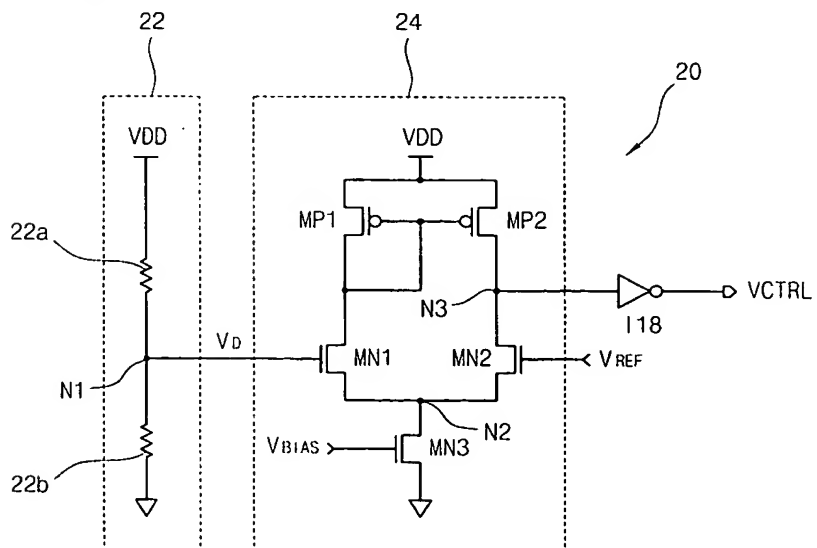
【도 1】



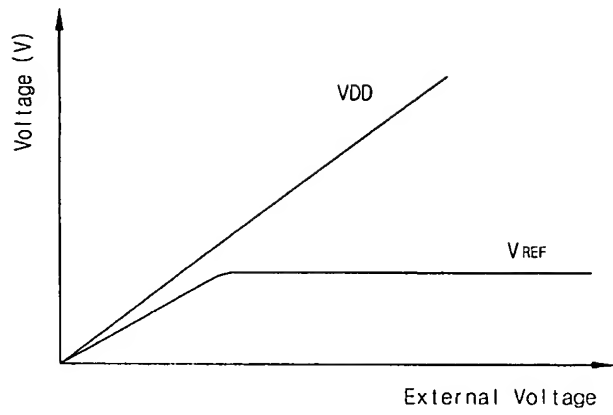
【도 2】



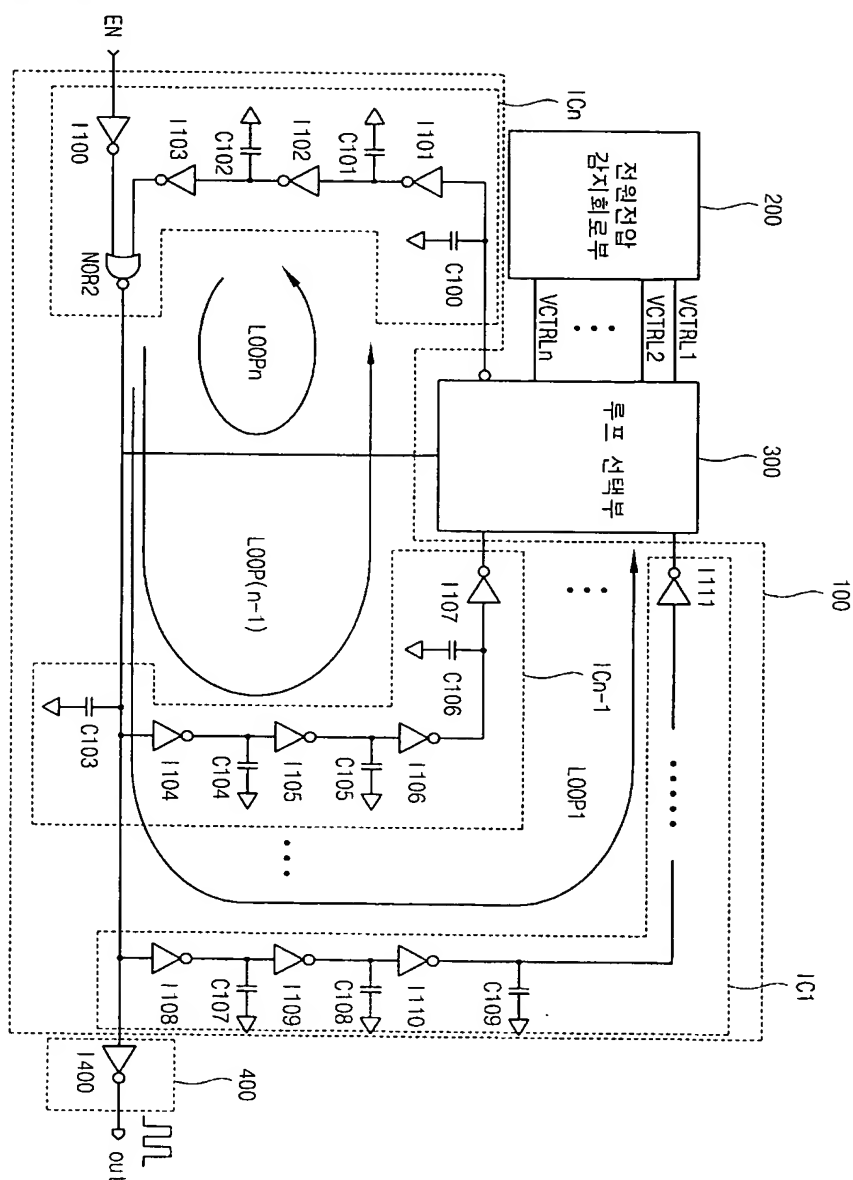
【도 3】



【도 4】



【도 5】



【도 6】

